

(11)特許出願公開番号

(43)公開日 平成6年(1994)9月2日

技術表示箇所

3 1 0 H 9290-5B

(74)代理人 弁理士 小林 和憲

—677—

【特許請求の範囲】

【請求項1】 送信側から受信側へデータをシリアルに送るシリアル通信において、前記送信側から受信側に送信要求信号を送るための第1の通信線と、受信側から送信側に受信要求信号を送るための第2の通信線とを設け、データ通信時に送信側は送信要求信号の発生を開始し、受信要求信号の発生停止を確認してから送信要求信号の発生を停止し、受信側は送信要求信号の受取直後からデータの受信が終了するまで受信要求信号を発生しており、送信要求信号の発生開始時点から一定時間が経過したときに、受信要求信号が発生したままであるときには、送信側は通信エラーが発生したものと判断して送信要求信号の発生を停止し、その後通信エラーが発生したデータを再送信するために送信要求信号を発生し、他方受信側は受信要求信号の発生中に送信要求信号の発生が停止したときに通信エラーが発生したものと判断して受信中のデータを廃棄することを特徴とするシリアル通信エラー処理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、シリアル通信エラー処理方法に関するものである。

【0002】

【従来の技術】マイクロコンピュータとICとの間、マイクロコンピュータとマイクロコンピュータとの間でデータを通信する際に、データ量が少ない場合はシリアル通信が用いられることが多い。このシリアル通信は伝送するデータのビット数に合わせたデータ伝送線の本数が必要なく、データ線は2本又は1本でよいから、データ伝送線の本数や接続ピンの個数に制約があったりする場合に大変便利である。

【0003】シリアル通信では、データの他にタイミング信号や送受信の状態をそれぞれ相手側に知らせる制御信号が用いられ、これらの信号は各信号線を用いて入出力されている。双方が通信を行う場合は、制御信号の状態からデータ送受信可能状態、送受信待機状態や要求、送信開始、受け取り完了などの状態を判断している。

【0004】

【発明が解決しようとする課題】しかしながら上記の方法では、何らかの理由で通信エラーが発生し、通信相手の一方がデータの入力されるのを待ち、他方はデータの受け取りの完了信号を待つといった状態が起こることがある。この状態になると双方は相手方からの信号を待ち続けるため、以降のステップに進まないハングアップになってしまう。1度ハングアップしてしまったら、外部から通信のリセット信号を入力したり、装置の電源を切ってからもう1度入れてイニシャライズをしなくてはこの状態から抜け出せないで大変面倒であるとともに、このようにして復帰したとしても、正常に通信した有効なデータが消去されたため、大変都合が悪い。

【0005】本発明は上記問題点を解消するためになされたもので、通信エラーを確実に判断し、ハングアップすることなく通信が再開されるようにしたシリアル通信のエラー処理方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は上記目的を達成するために、送信側から受信側へデータをシリアルに送る通信において、送信側から受信側に送信要求信号を送るための第1の通信線と、受信側から送信側に受信要求信号を送るための第2の通信線とを設け、データ通信時に送信側は送信要求信号を発生を開始し、受信要求信号の発生停止を確認してから送信要求信号の発生を停止し、受信側は送信要求信号の受取直後からデータの受信が終了するまで受信要求信号を発生しており、送信要求信号の発生開始時点から一定時間が経過したときに、受信要求信号が発生したままであるときには、送信側は通信エラーが発生したものと判断して送信要求信号の発生を停止し、その後通信エラーが発生したデータを再送信するために送信要求信号を発生し、他方受信側は受信要求信号の発生中に送信要求信号の発生が停止したときに通信エラーが発生したものと判断して受信中のデータを廃棄する。

【0007】

【実施例】図2は本発明を用いて通信を行うマイクロコンピュータとICのブロック図である。同一セット内にあるマイクロコンピュータ1とIC2は、複数の信号線で接続されており、この信号線にはSTB信号、ACK信号、入出力信号、SCK信号、ALD信号、WLR信号用とがある。IC2はマイクロコンピュータ1から指定されたアドレスを保持し、そのアドレスにマイクロコンピュータ1が送出したデータを書き込む機能とそのアドレスのデータを読み出しマイクロコンピュータ1に送出できる機能を持っている。

【0008】STB信号はマイクロコンピュータ1からの送信要求信号である。ACK信号はIC2からの受信要求信号である。入出力信号にはアドレスとデータとがあり、これらは8ビットで構成され、1ビットずつマイクロコンピュータ1とIC2との間でやりとりされる。この8ビットの入出力信号の区切りを示すために、SCK信号がクロックパルスとしてマイクロコンピュータ1からIC2に送られる。ALD信号はアドレスとデータの選択をする信号であり、マイクロコンピュータ1はアドレスを送出するときはALD信号をLレベルにし、データを入出力するときはHレベルにする。STB信号およびALD信号、SCK信号はマイクロコンピュータ1からIC2に入力される。ACK信号はIC2からマイクロコンピュータ1に入力される。マイクロコンピュータ1はこのACK信号がクロックパルスの1周期よりも長い時間経過した後もHレベルになっていると、ACK信号がHレベルになったことを検知する。さらに、マ

マイクロコンピュータ1はACK信号が一定時間以上Lレベルにあると、通信エラーが発生したと判断しSTB信号を強制的にHレベルにする。

【0009】WLR信号は、マイクロコンピュータから指定されたアドレスに、マイクロコンピュータ1からIC2にデータを書き込むのか、IC2のデータをマイクロコンピュータ1に読み出すのかを選択する。マイクロコンピュータ1がデータの読み込みを選択しているときは、IC2は指定されたアドレスのデータをSCK信号に同期させて入出力信号として送り出す。また、書き込み10に設定されているときはマイクロコンピュータ1からのデータを受け取ることができる。

【0010】図1はIC2の主要部の論理回路図である。マイクロコンピュータ1からのSTB信号はORゲート25a、インバータ29a、立ち下がり検出回路21及び立ち上がり検出回路22に入力される。立ち下がり検出回路21はSTB信号の立ち下がり（HレベルからLレベルに変化）で短いパルス（Hレベル）を1個発生し、そのパルスをJK-FF23のK端子、ANDゲート24a及びORゲート25bに出力する。立ち上がり検出回路22はSTB信号の立ち上がり（LレベルからHレベルに変化）で短いパルス（Hレベル）を1個発生し、その出力をANDゲート23b、23c、26、27に出力する。

【0011】JK-FF23および後述のJK-FF25は共にJK型フリップフロップ回路であり、J端子がLレベル、K端子がLレベルでQ端子の出力は変化せず、J端子がHレベル、K端子がLレベルで出力QはHレベルになり、J端子がLレベル、K端子がHレベルで出力QはLレベルになり、J端子がHレベル、K端子がHレベルでQ端子の出力が反転する。Q端子の出力はJ端子及びK端子の変化が生じてからクロック半周期以内の遅れで変化する。

【0012】マイクロコンピュータ1から送出されたSCK信号は、ANDゲート29に入力される。インバータ29aの出力は、ANDゲート29に入力されており、STB信号がLレベルの時のみにSCK信号のクロックパルスはカウンタ24及びANDゲート25cに入力される。カウンタ24はSCK信号のクロックパルスの立ち下がり10で計数し、そのカウント数は2進数で低い桁からQA端子、QB端子、QC端子、QD端子、CO端子の順に出力する。カウンタ24は24aからパルス（Hレベル）が送られるとその値を「0」にする（QA端子～QD端子、CO端子の出力が全てLレベルになる）。QA端子、QB端子、QC端子の出力はNORゲート25dに、QD端子の出力はインバータ25eを介してNORゲート25dに入力されている。

【0013】ORゲート27aにはNORゲート25dの出力及びカウンタ24のCO端子の出力が入力される。カウンタはSCK信号のクロックパルスを1から順

に計数していき8個目にQD端子～QA端子の出力が「H、L、L、L」になるので、出力がHレベルになる。カウンタ24がクロックパルスを16個目を計数したときには、CO端子の出力が「H」になっている。

【0014】ORゲート27aの出力はワンショット回路27に入力される。カウンタ24のCO端子の出力はワンショット回路28にも入力されている。ワンショット回路27及び28は入力される信号の立ち上がりで短いパルスを1個出力する。ワンショット回路27からのパルスはORゲート25aに入力される。ワンショット回路28のパルスはORゲート23aに入力される。ALD信号はANDゲート27に入力され、またALD信号はインバータ26aを介してANDゲート23b、26に10入力されている。

【0015】ORゲート25aからの出力はJK-FF25のJ端子に入力されている。JK-FF25のK端子にはORゲート25bの出力が入力されている。ORゲート25bの入力にはANDゲート25cの出力が入力されている。JK-FF25のQの出力はACK信号として出力され、さらにANDゲート25c、26、27に入力されている。INV-Q端子からはQ端子の出力を反転した出力がされる。INV-Q端子の出力はANDゲート23cに入力されている。

【0016】ANDゲート23bの出力はORゲート23aに入力されている。ANDゲート23cの出力はORゲート23aに入力されている。23aの出力はJK-FF23のJ端子に入力されている。JK-FF23のQ端子の出力はANDゲート24a及び27に入力されている。

【0017】ANDゲート26はADWTE信号を出力する。ANDゲート26が出力するパルスによってIC2はマイクロコンピュータ1が送出したアドレスをラッチする。また、ANDゲート27はDWTE信号を出力する。ANDゲート27が出力するパルスによってマイクロコンピュータ1から送出されたデータをラッチする。

【0018】次に図2に示す回路の作用について、図3から図6を参照して説明する。電源投入時の初期状態として、STB信号、JK-FF23のQ端子、ALD信号はHレベルに設定される。正常な通信のときは次のように作動する。まずマイクロコンピュータ1はACK信号のHレベルを検知するとALD信号、WLR信号及びSTB信号をLレベルにする。このときのLレベルにするタイミングはALD信号、WLR信号、STB信号を同時にLレベルにしてもよいし、STB信号を少し遅らせてもよい。

【0019】STB信号の立ち下がりによって立ち下がり検出回路21からのパルスが出力されると、JK-FF23のQ端子がHレベルになっているので、ANDゲート24aからパルスが出力され、カウンタ24をクリ

5

アする。またJK-FF23のK端子もHレベルが入力されるので少し遅れてQはLレベルになる。さらに、JK-FF25のJ端子はLレベルになり、K端子はHレベルが入力されるのでJK-FF25のQ端子から出力されるACK信号は少し遅れてLレベルになる。

【0020】マイクロコンピュータ1はACK信号がLレベルになるのを確認すると、SCK信号で8個のクロックパルスの送出とともに、入出力信号として8ビットのアドレスデータを送出する。クロックパルス8個目をカウンタ24が計数するとJK-FF25のJ端子にはHレベルが入力され、ACK信号はHレベルになる。マイクロコンピュータ1は、ACK信号がHレベルになったのを検知すると、STB信号をHレベルにする。

【0021】STB信号が立ち上がると、立ち上がり検出回路22がパルスを送出する。これにより、ALD信号をインバータ26aで反転させた信号及びJK-FF25のQ端子がHレベルになっているから、ANDゲート26がADWTE信号のパルスを出力する。このADWTE信号によってIC2にマイクロコンピュータ1から送出されたアドレスデータがラッチされる。また、JK-FF23のJ端子にはHレベルが入力されるので、Q端子はHレベルになる。その後JK-FF25のQ端子にはSTB信号のHレベルが入力されるが、QはHレベルの状態から変化はしない。

【0022】マイクロコンピュータ1はACK信号がHレベルであることを確認した後に、ALD信号をHレベルにし、WLR信号をデータ書き込みまたは読み出しに設定し、STB信号をLレベルにする。STB信号が立ち下ると、立ち下がり検出回路21からパルスが出力され、カウンタ24はクリアされる。さらにJK-FF23ではK端子にHレベルが入力され、遅れてQ端子がLレベルになる。また、JK-FF25では、J端子はLレベルになり、K端子にはHレベルが入力されるから、遅れてQ端子すなわちACK信号がLレベルになる。

【0023】ACK信号のLレベルをマイクロコンピュータ1が確認すると、クロックパルスの送出とともに入出力信号でデータの上位8ビットを送受信する。カウンタ24が8個のパルスを計数すると、JK-FF25ではJ端子にHレベルが入力されてACK信号がHレベルになる。マイクロコンピュータ1は、ACK信号のHレベルを検知してから、STB信号をHレベルにする。このときJK-FF23のJ端子はHレベルにならないのでQ端子はLレベルのままである。この時点でDWTE信号のパルスは出ていないから、データをラッチしない。

【0024】マイクロコンピュータ1は、一定時間後にSTB信号をLレベルにする。このとき立ち下がり検出回路21からパルスが出力されても、JK-FF23のQ端子はLレベルであるから、カウンタはクリアされな

6

い。JK-FF25ではK端子にHレベルが入力されるので、少し遅れてACK信号はLレベルになる。マイクロコンピュータ1は、ACK信号のLレベルを確認した後に、8個のクロックを送出し、データの下位8ビットの送受信を行う。この送受信が終了すると、カウンタ24のカウント数は16になるから、JK-FF23のJ端子及びJK-FF25のJ端子にはHレベルが入力され、これによりJK-FF23のQ端子及びACK信号はHレベルになる。

【0025】マイクロコンピュータ1は、ACK信号がHレベルになったことを検知すると、STB信号をHレベルにする。ALD信号、JK-FF23、25のQ端子がHレベルになっているから、立ち上がり検出回路22からのパルスでANDゲート27はDWTE信号のパルスを送出する。データ書き込みを設定されているときは、IC2に16ビットのデータがラッチされる。なお、マイクロコンピュータ1にデータが送出されたときは、例えばレジスタに保持するようにすればよい。STB信号はHレベルになっているので、JK-FF25のJ端子はHレベルになって初期状態にもどる。必要なデータの送受信が終了するまでこの動作を繰り返す。

【0026】次に通信エラーが発生したときの動作について説明する。上記で図3のタイミングを示したように、マイクロコンピュータ1がSTB信号をLレベルにしたのち、通信が正常終了した場合はACK信号よりも先にSTB信号がHレベルになっている。しかし、何らかの理由で通信が正常終了しないときは、図4のようにマイクロコンピュータ1は、ACK信号が一定時間以上経過してもHレベルを検知できないので、通信がエラーが発生したと判断し強制的にSTB信号をHレベルにする。ここでACK信号は遅れてHレベルになるから、STB信号はACK信号よりも先にHレベルになり異常終了する。STB信号がHレベルになってイル間はSCK信号はANDゲート29から先には送出されない。

【0027】異常終了したときに立ち上がり検出回路22からパルスが送出されてもJK-FF25のQ端子はまだLレベルである。これによってIC2は通信エラーを知り、入力中のアドレス又はデータをラッチせずにこれらを廃棄する。JK-FF25のINV-Q端子はHレベルになっているので、立ち上がり検出回路22からパルスが送出されると、ANDゲート23cからJK-FF23のJ端子にHレベルが入力されJK-FF23のQ端子をHレベルにする。その後マイクロコンピュータ1は、エラーが発生した時のアドレスまたはデータを再送するために、STB信号をLレベルにする。

【0028】例えばクロックの少ない場合や、カウンタ24のクロックのカウントミスなどなど、何らかの理由でカウンタ24のカウント数が8または16にならない状態が一定時間以上続くと、通信エラーが生じたものと判断してマイクロコンピュータ1はSTB信号を強制的

7

にHレベルにする。そして前述したように、通信エラーが発生した入出力信号から再送信する。

【0029】図5はクロックの多い場合のタイミングを示したものである。例えばSCK信号にノイズが乗ってしまうなどして、本来の8個目または16個目のパルスの前にカウンタが8または16個を数えると（ここで図5では16個目のみの変化は破線で示してある）、JK-FF25のQ端子すなわちACK信号がHレベルになる。しかし、8個または16個目をカウンタが計数した後もSCK信号のクロックがIC2に入力されてくる。ANDゲート25cは、JK-FF25からの入力10がすでにHレベルになっている。見掛け上9個または17個目のクロックのHレベルが入力されてくると、ORゲート25bを介してJK-FF25のK端子にHレベルを入力する。この時すでにワンショット回路27からの出力はLレベルになっており、またカウンタ24のC0端子にも変化がないので、再びワンショット回路27からパルスが出力されることもなく、したがってJK-FF25のJ端子はLレベルになっている。

【0030】JK-FF25のK端子にHレベルが入力されることで、ACK信号がHレベルになってから、最長でもクロックパルスの1周期以内の時間にはLレベルになっている。ここではマイクロコンピュータ1はACK信号を検知しない。本来の8個または16個目のクロックパルスが送出され、カウンタ24で計数されている途中でも終了後でもACK信号のLレベルの状態は変化しない。一定時間後にマイクロコンピュータ1は、通信エラーと判断してSTB信号をHレベルにする。前記と同様に再送が開始される。

【0031】また、通信が中断した後の通信については30 アドレスとデータの関係が崩れている可能性があるから、IC2は前述しているように、ALD信号がLレベルの場合は常にアドレスとする。図6の(a)のように、続けてALD信号がLレベルでもIC2はアドレスを受け取るものとする。また図6の(b)のように上位8ビットのデータの送受信の後で、ALD信号がHレベルからLレベルになっても、IC2はアドレス2を受け取る。このときアドレス1に対応する上位8ビットのデ

8

ータ1はラッチされることはない。

【0032】以上のように、IC2とマイクロコンピュータ1は通信エラーが発生しても双方で通信の終了を待ち続けることがなくなり、ハングアップすることなく通信を再開するようになった。

【0033】上記の実施例では、マイクロコンピュータとIC間のについて説明したが、マイクロコンピュータとマイクロコンピュータ間についても同様なプロトコルを用いてもよい。また、同一セット内における通信だけでなくセット間の通信も可能である。アドレスとデータの識別にALD信号線を使用したか、この信号線はなくてもよい。データの読み出しと書き込み用にWLR信号線を使用したか、この信号線はなくてもよい。

【0034】

【発明の効果】以上に述べたように、本発明の通信エラー処理方法によれば送信側と受信側との間に、送信要求信号を送る通信線と、受信要求信号を送る通信線とを設け、通信開始から一定時間経過してもデータが送信が終了しないときは通信エラーが発生したものと判断し、通信エラーが生じたデータの再送信を行うようにしたから、ハングアップになることを防止することができる。また、この信号の状態から、通信エラーを制御するから、確実かつ簡単である。

【図面の簡単な説明】

【図1】本発明の方法を実施するICの主要部のロジック図である。

【図2】マイクロコンピュータとICとのシリアル通信を示すブロック図である。

【図3】実施例のロジック回路の正常通信時を示すタイミングチャートである。

【図4】通信エラー時のタイミングチャートである。

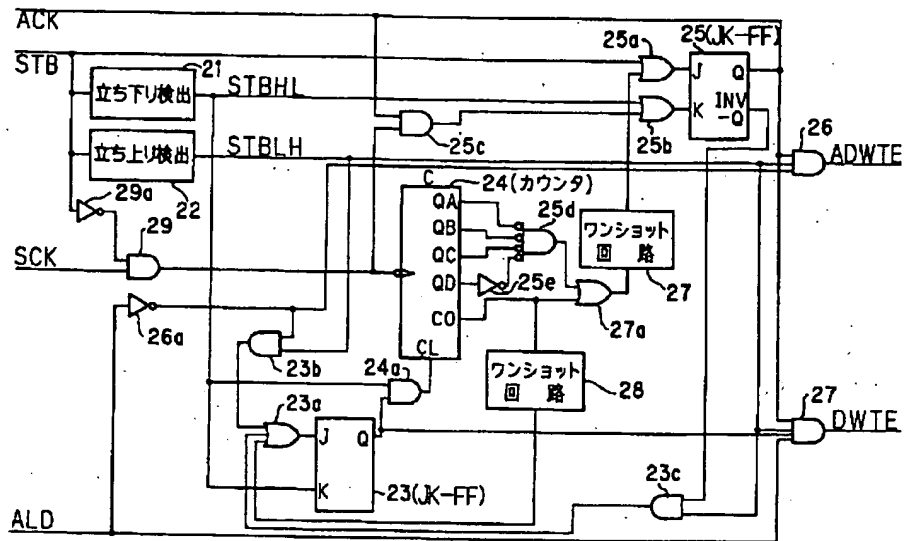
【図5】別の通信エラー時のタイミングチャートである

【図6】ALD信号による動作説明図である。

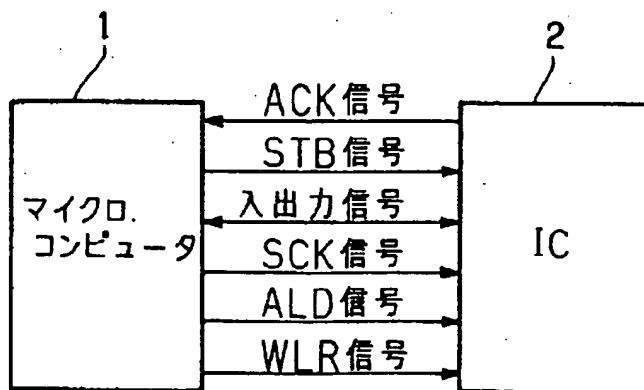
【符号の説明】

- 1 マイクロコンピュータ
- 2 IC
- 23, 25 JK-FF
- 24 カウンタ

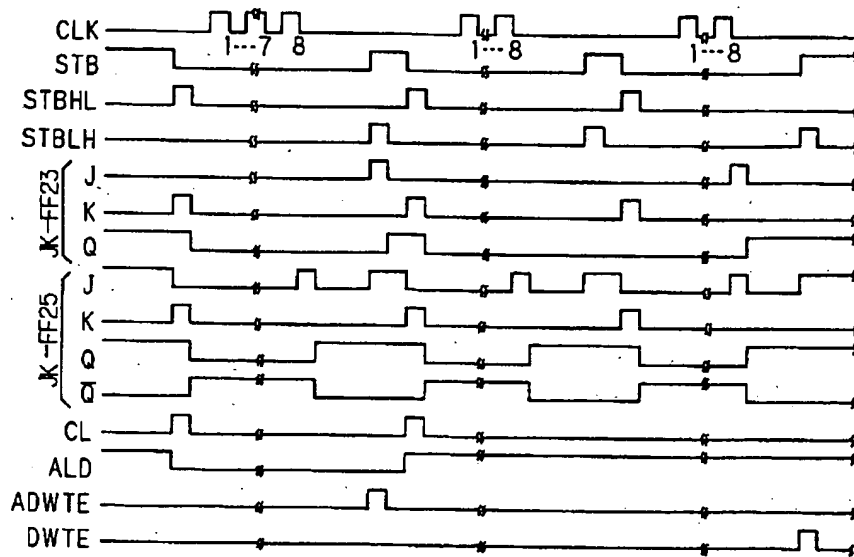
【図1】



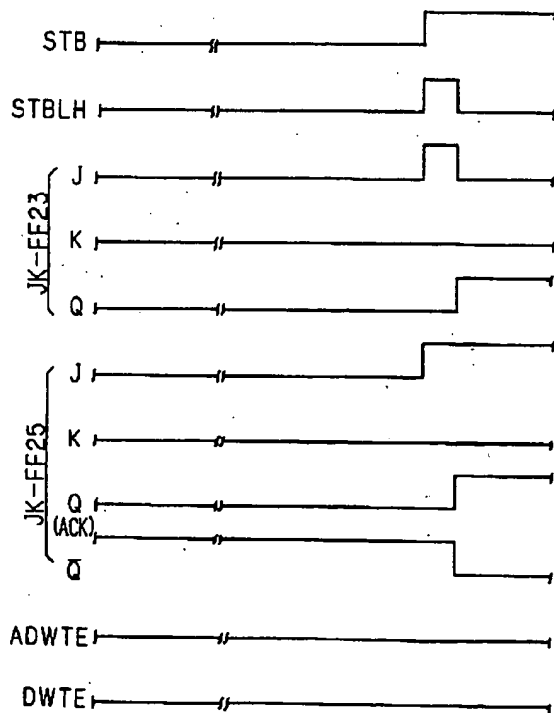
【図2】



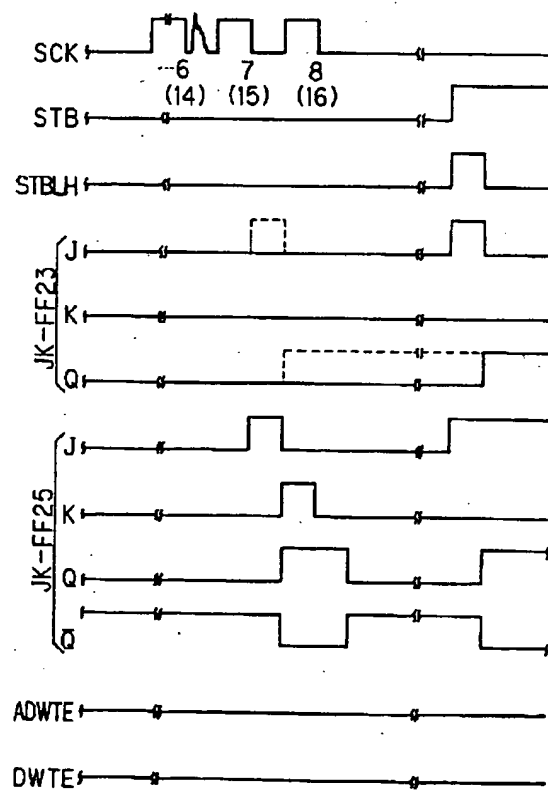
【図3】



【図4】



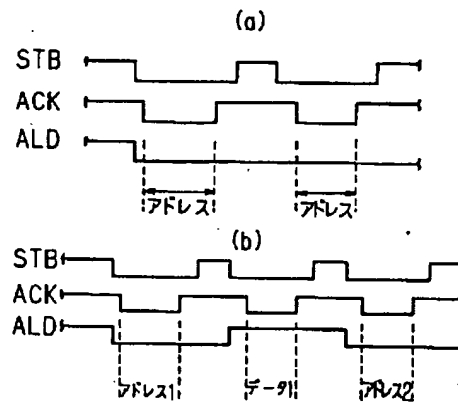
【図5】



(8)

特開平6-243052

【図6】



SERIAL COMMUNICATION ERROR PROCESSING METHOD

SERIAL COMMUNICATION ERROR PROCESSING METHOD

Veröffentlichungsnr. (Sek.) JP6243052
Veröffentlichungsdatum : 1994-09-02
Erfinder : FUJIMAKI TOSHIAKI; others: 02
Anmelder :: FUJI PHOTO FILM CO LTD
Veröffentlichungsnummer : ☐ JP6243052
Aktenzeichen:
(EPIDOS-INPADOC-normiert) JP19930029412 19930218
Prioritätsaktenzeichen:
(EPIDOS-INPADOC-normiert)
Klassifikationssymbol (IPC) : G06F13/00 ; G06F11/30
Klassifikationssymbol (EC) :
Klassifikationssymbol (EC) :
Korrespondierende Patentschriften

Bibliographische Daten

PURPOSE: To prevent a system from becoming hang-up in serial communication.
CONSTITUTION: A micro computer 1 transmits an address and transmits/receives data in serial communication with IC 2. In the micro computer 1, an ACK signal recognizes an H level and sets an STB signal to an L level. When IC 2 sets the ACK signal to the L level immediately after it, the address for eight bits or data is transmitted/received as an input/output signal. At that time, an SCK signal transmits a clock pulse. When transmission/reception normally terminates, the ACK signal becomes the H level and the micro computer 1 sets the STB signal to the H level. When the ACK signal does not become the H level even a prescribed time has passed, the micro computer 1 judges that a communication error occurs, compulsorily sets the STB signal to the H level and abnormally terminates communication. When communication abnormally terminates, IC 2 does not latch the address or data in the middle of input. The micro computer sets the STB signal to the L level after abnormal communication terminates, and resumes communication from the address or data where the communication error occurs.